

PATENT ABSTRACTS OF JAPAN

BEST AVAILABLE COPY

(11)Publication number : 11-097541
(43)Date of publication of application : 09.04.1999

(51)Int.CI.

H01L 21/82

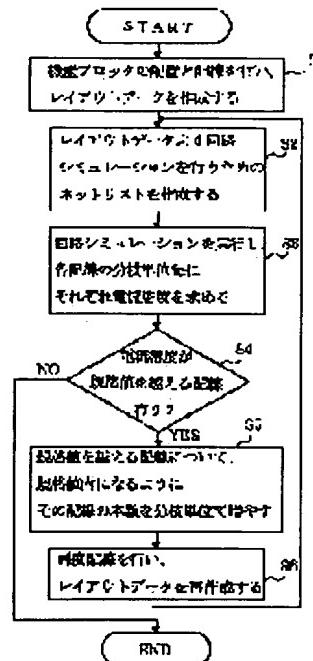
(21)Application number : 09-255002
(22)Date of filing : 19.09.1997(71)Applicant : NEC CORP
(72)Inventor : NAKAJIMA KAZUHIRO

(54) METHOD AND SYSTEM FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUIT AND STORAGE MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a disconnection, and to suppress the increase of area required for wiring by calculating a current density for judging whether it is within a preset standard value or not, and by calculating the number of wires so that it can be within the standard value for rewiring when the wiring exceeds the standard value.

SOLUTION: A processing device creates the layout data of each function block based on arrangement and connection information (S1), and creates a net list to simulate a semiconductor integrated circuit (S2). According to the net list, the circuit is simulated, the current density of all wires for connecting the function blocks is calculated (S3), the current density is compared with a standard value, and the wire exceeding the standard value is selected (S4). When no wires exceed the standard value, processing is ended. Otherwise, the number of required wires is calculated so that the current density can be within the standard value (S5), rewiring is performed for recreating the layout data (S6), and steps S2-S6 are repeated until there are no wires exceeding the standard value.



LEGAL STATUS

- [Date of request for examination] 19.09.1997
 [Date of sending the examiner's decision of rejection] 16.08.2000
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-97541

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl.⁶

H 01 L 21/82

識別記号

F I

H 01 L 21/82

W

審査請求 有 請求項の数 6 O L (全 7 頁)

(21)出願番号 特願平9-255002

(22)出願日 平成9年(1997)9月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中嶋 和広

東京都港区芝五丁目7番1号 日本電気株式会社内

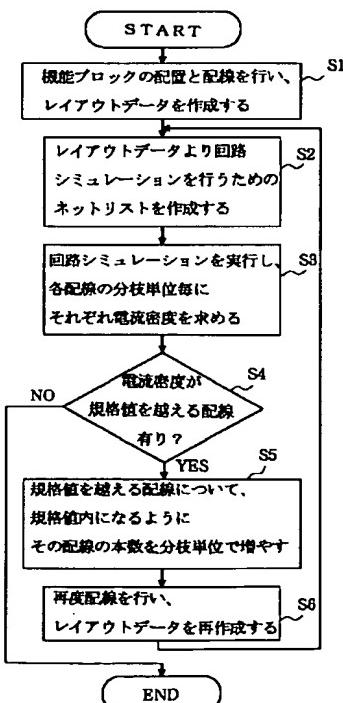
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 半導体集積回路の設計方法、半導体集積回路の設計システム及びその記録媒体

(57)【要約】

【課題】 電流密度を規格値内に収めて断線を防止するとともに、配線に要する面積の増大を抑制した半導体集積回路の設計方法及び設計システムを提供する。

【解決手段】 任意の機能を有する複数の機能ブロックのレイアウト及び機能ブロック間の配線を行うための半導体集積回路の設計方法であって、機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、電流密度が予め決められた規格値内にあるか否かを判定し、規格値を越えた配線について、規格値内に収まるようにその配線の分枝毎に必要な配線の本数を算出し、分枝毎に再度配線を行う。



【特許請求の範囲】

【請求項1】 任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行うための半導体集積回路の設計方法であって、

前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、
前記電流密度が予め決められた規格値内にあるか否かを判定し、

前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の本数を算出し、該本数で分枝毎に再度配線を行う半導体集積回路の設計方法。

【請求項2】 任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行うための半導体集積回路の設計方法であって、

前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、
前記電流密度が予め決められた規格値内にあるか否かを判定し、

前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の幅を算出し、該幅で分枝毎に再度配線を行う半導体集積回路の設計方法。

【請求項3】 任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行う半導体集積回路の設計システムであって、

前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、
前記電流密度が予め決められた規格値内にあるか否かを判定し、

前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の本数を算出し、該本数で分枝毎に再度配線を行う処理装置を有する半導体集積回路の設計システム。

【請求項4】 任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行う半導体集積回路の設計システムであって、

前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、
前記電流密度が予め決められた規格値内にあるか否かを判定し、

前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の幅を算出し、該幅で分枝毎に再度配線を行う処理装置を有する半導体集積回路の設計システム。

【請求項5】 任意の機能を有する複数の機能ブロック

のレイアウト及び前記機能ブロック間の配線を半導体集積回路の設計システムに実行させるためのプログラムを記録した記録媒体であって、

前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、
前記電流密度が予め決められた規格値内にあるか否かを判定し、

前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の本数を算出し、該本数で分枝毎に再度配線を行わせるためのプログラムを記録した記録媒体。

【請求項6】 任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を半導体集積回路の設計システムに実行させるためのプログラムを記録した記録媒体であって、

前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、
前記電流密度が予め決められた規格値内にあるか否かを判定し、

前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の幅を算出し、該幅で分枝毎に再度配線を行わせるためのプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路の設計システムに関し、特に電流密度の規格を満たした配線パターンが得られる半導体集積回路の設計方法、半導体集積回路の設計システム及びその記録媒体に関するものである。

【0002】

【従来の技術】 近年の半導体集積回路は製造プロセスの向上によって微細化及び高集積化が進み、配線の幅やピッチが狭くなっているため、各配線に流れる電流の電流密度が増加する傾向にある。また、半導体素子の高速化が進み、高周波で動作する半導体集積回路が増えてきている。

【0003】 このような高速で動作する半導体素子からなる任意の機能を有する機能ブロック（論理回路等）に電源を供給するために設けられた電源配線等は電流密度が特に大きくなるため、エレクトロマイグレーションによって断線するおそれがある。したがって、エレクトロマイグレーションによる断線を防止するため、半導体集積回路の配線パターンを設計する際には各配線に流れる電流の電流密度を断線しない所定の規格値内に収める必要がある。

【0004】 図4は半導体集積回路の設計システムの構成を示すブロック図であり、図5は従来の半導体集積回

路の設計方法の手順を示すフローチャートである。また、図6は従来の半導体集積回路の設計方法の一例を示す図であり、配線の本数を増やして電流密度の規格値を満足させる設計例を示す配線図である。また、図7は従来の半導体集積回路の設計方法の一例を示す図であり、配線の幅を太くして電流密度の規格値を満足させる設計例を示す配線図である。

【0005】図4に示すように、半導体集積回路の設計システムは、処理プログラムにしたがって配線パターンの設計を行う処理装置1と、半導体素子の配置情報及び接続情報を入力するための入力装置2と、レイアウトデータあるいはネットリストなどを出力するための出力装置3と、処理装置1の処理結果を表示するための表示装置4と、処理装置1で実行する処理プログラムが記録された記録媒体5とによって構成されている。

【0006】なお、記録媒体5は磁気ディスク、半導体メモリ、あるいはその他の記録媒体であってもよく、以下に説明する処理装置1の処理手順は、記録媒体5から処理装置1に読み込まれた処理プログラムにしたがって実行される。

【0007】このような構成において、次に従来の半導体集積回路の設計方法について図5～図7を用いて説明する。

【0008】図5において、まず、処理装置1は入力装置2を介して入力された各半導体素子の配置情報及び接続情報を基に、半導体集積回路の構成要素である各機能ブロック単位のレイアウトデータを作成する（ステップS11）。次に、回路シミュレーションを行うために、ステップS11で作成したレイアウトデータに基づいてトランジスタ、容量、抵抗素子等を用いて記述したネットリストを作成する（ステップS12）。続いて、ステップS12で作成したネットリストに基づいて半導体集積回路の回路シミュレーションを行い、各機能ブロック間を接続する全ての配線の電流密度をそれぞれ算出する（ステップS13）。次に、算出した各配線の電流密度とその規格値とを比較し、電流密度が規格値を越えている配線を選出する（ステップS14）。このとき、電流密度が規格値を越えている配線がない場合は処理を終了する。また、規格値を越えている配線があった場合は、電流密度が規格値内に収まるようにその配線の本数を増加する（ステップS15）。なお、ステップS15の処理では電流密度が規格値内に収まるように配線の幅を一律に太くする方法もある。

【0009】ステップ15では、例えば、図6に示す第1の信号配線21の電流密度が規格値を超えている場合、第1の信号配線21に代えて3本の配線（第2の信号配線22、第3の信号配線23、第4の信号配線24）で機能ブロック間をそれぞれ接続し、信号配線1あたりの電流密度を小さくして規格値内に収まるようにしている。

【0010】また、第1の信号配線21の電流密度が規格値を超えている場合、図7に示すように電流密度が規格値内に収まるように、第1の信号配線21の幅を一律に太くしている。

【0011】ところで、従来の半導体集積回路の設計方法の他の例として特開平6-85066号公報で開示された設計方法がある。特開平6-85066号公報では、回路シミュレーションによって選出された高速動作する機能ブロックに対して電源配線を自動的に追加布設することにより、電源配線の電流密度を規格値以内に収める電源配線の布設方法が記載されている。

【0012】

【発明が解決しようとする課題】しかしながら上記したような従来の半導体集積回路の設計方法のうち、各機能ブロック間を接続する配線の本数を増加させて電流密度を規格値内に収める方法では、例えばスルーホールの電流密度だけが規格値を越えているような場合でも配線の本数を増加させるため、配線に要する面積及びその容量が増加する問題があった。

【0013】また、配線の幅を一律に太くして規格値内に収める方法では、例えば規格値を越えている配線が部分的であっても、一律に配線の幅を太くしているため、配線に要する面積及びその容量が増加し、かつ他の配線と短絡する可能性があるため、他の配線のレイアウトを修正しなければならないという問題があった。

【0014】さらに、高速に動作する機能ブロックに対して電源配線を自動的に布設する方法では、機能ブロック間を接続する信号配線の電流密度を小さくすることができない。

【0015】本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、電流密度を規格値内に収めて断線を防止するとともに、配線に要する面積の増大を抑制した半導体集積回路の設計方法及び設計システムを提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するため本発明の半導体集積回路の設計方法は、任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行うための半導体集積回路の設計方法であって、前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、前記電流密度が予め決められた規格値内にあるか否かを判定し、前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の本数を算出し、該本数で分枝毎に再度配線を行う方法である。また、任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行うための半導体集積回路の設計方法であって、前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、前

記電流密度が予め決められた規格値内にあるか否かを判定し、前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の幅を算出し、該幅で分枝毎に再度配線を行う方法である。

【0017】一方、本発明の半導体集積回路の設計システムは、任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行う半導体集積回路の設計システムであって、前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、前記電流密度が予め決められた規格値内にあるか否かを判定し、前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の本数を算出し、該本数で分枝毎に再度配線を行う処理装置を有するものである。

【0018】また、任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を行う半導体集積回路の設計システムであって、前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、前記電流密度が予め決められた規格値内にあるか否かを判定し、前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の幅を算出し、該幅で分枝毎に再度配線を行う処理装置を有するものである。

【0019】さらに、本発明の記録媒体は、任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を半導体集積回路の設計システムに実行させるためのプログラムを記録した記録媒体であって、前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、前記電流密度が予め決められた規格値内にあるか否かを判定し、前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の本数を算出し、該本数で分枝毎に再度配線を行わせるためのプログラムを記録したものである。

【0020】また、任意の機能を有する複数の機能ブロックのレイアウト及び前記機能ブロック間の配線を半導体集積回路の設計システムに実行させるためのプログラムを記録した記録媒体であって、前記機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、前記電流密度が予め決められた規格値内にあるか否かを判定し、前記規格値を越えた配線について、前記規格値内に収まるように該配線の分枝毎に必要な配線の幅を算出し、該幅で分枝毎に再度配線を行わせるためのプログラムを記録したものである。

【0021】上記のような半導体集積回路の設計方法及び設計システムでは、機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、電流密度が予め決められた規格

値内にあるか否かを判定し、規格値を越えた配線について、規格値内に収るようにその配線の分枝毎に必要な配線の本数を算出し、分枝毎に再度配線を行うことで、従来に比べて配線に要する面積を小さくすることができる。

【0022】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0023】図1は本発明の半導体集積回路の設計方法10の手順を示すフローチャートである。図2は本発明の半導体集積回路の設計方法の一例を示す図であり、スルーホールの電流密度が規格値を越えている場合の設計例を示す配線図である。また、図3は本発明の半導体集積回路の設計方法の一例を示す図であり、配線の電流密度が規格値を越えている場合の設計例を示す配線図である。なお、半導体集積回路の設計システムの構成については従来と同様であるためその説明は省略する。

【0024】図1において、本発明の半導体集積回路の設計方法では、まず、処理装置は入力装置を介して入力された各半導体素子の配置情報及び接続情報を基に、各機能ブロック単位のレイアウトデータを作成する(ステップS1)。次に、半導体集積回路の回路シミュレーションを行うために、ステップS1で作成したレイアウトデータに基づいてトランジスタ、容量、抵抗素子等を用いて記述したネットリストを作成する(ステップS2)。続いて、ステップS2で作成したネットリストに基づいて回路シミュレーションを行い、機能ブロック間を接続する全ての配線の電流密度をそれぞれ算出する(ステップS3)。次に、算出した電流密度とその規格30値とを比較し、電流密度が規格値を越えている配線を選出する(ステップS4)。このとき、電流密度が規格値を越えている配線がない場合は処理を終了する。また、規格値を越えている配線があった場合は、電流密度が規格値内に収まるようにその配線の必要な本数を分枝毎に算出する(ステップS5)。

【0025】続いて、算出した本数で再配線を行い、本数を増やした配線と他の配線とが短絡しないように配線し直してレイアウトデータを再作成する(ステップS6)。そして、ステップS2に戻り、電流密度が規格値40を越えている配線がなくなるまで、上記ステップS2からステップS6までの処理を繰り返す。

【0026】例えば、図2に示す第1のスルーホール11に流れる電流がスルーホールの電流密度の規格値を超えている場合、第2のスルーホール12及び第1の分枝配線13を追加し、第1スルーホール11の電流密度が規格値内に収まるようにする。

【0027】また、図3に示す第2の分枝配線15に流れる電流の電流密度がその規格値を越えている場合(例えば、規格値の2倍以上)、第3の分枝配線16及び第504の分枝配線17を追加し、第2の分枝配線15の電流

密度が半分以下になるようとする。

【0028】なお、ステップS5で、電流密度が規格値内に収まるようにその配線の幅を算出し、ステップS6で、算出した幅で配線し（幅を太くする）、太くした配線と他の配線が短絡しないように配線し直してレイアウトデータを再作成してもよい。

【0029】したがって、本発明の半導体集積回路の回路設計システムは、全ての機能ブロック間配線の電流密度を回路シミュレーションで求め、求めた電流密度と規格値を比較し、規格値内に収まるように分枝単位で必要な配線の本数を計算し、分枝毎に配線を増加させているので、従来に比べて配線に要する面積を小さくすることができる。

【0030】また、本発明では、分枝単位で増加させた配線の周辺にある他の配線についてのみ短絡しないように再配線すればよいので、設計のTAT（turn around time：開発期間）が短くなる。

【0031】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0032】機能ブロック間を接続する全ての配線に流れる電流の電流密度をそれぞれ回路シミュレーションを行って算出し、電流密度が予め決められた規格値内にあるか否かを判定し、規格値を越えた配線について、規格値内に収まるようにその配線の分枝毎に必要な配線の本数を算出し、分枝毎に再度配線を行うことで、従来に比べて配線に要する面積を小さくすることができる。

【0033】また、分枝単位で増加させた配線の周辺にある他の配線についてのみ短絡しないように再配線するので、設計のTATが短くなる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の設計方法の手順を示すフローチャートである。

【図2】本発明の半導体集積回路の設計方法の一例を示す図であり、スルーホールの電流密度が規格値を越えている場合の設計例を示す配線図である。

【図3】本発明の半導体集積回路の設計方法の一例を示す図であり、配線の電流密度が規格値を越えている場合の設計例を示す配線図である。

10 【図4】半導体集積回路の設計システムの構成を示すブロック図である。

【図5】従来の半導体集積回路の設計方法の手順を示すフローチャートである。

【図6】従来の半導体集積回路の設計方法の一例を示す図であり、配線の本数を増やして電流密度の規格値を満足させる設計例を示す配線図である。

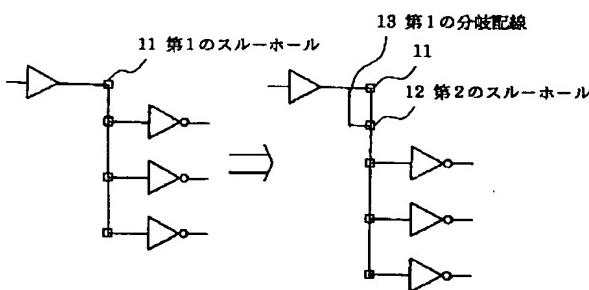
【図7】従来の半導体集積回路の設計方法の一例を示す図であり、配線の幅を太くして電流密度の規格値を満足させる設計例を示す配線図である。

20 【符号の説明】

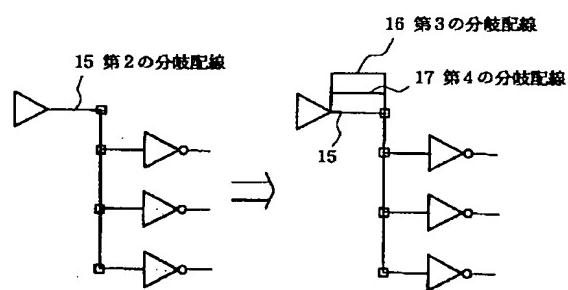
- | | |
|----|-----------|
| 1 | 処理装置 |
| 2 | 入力装置 |
| 3 | 出力装置 |
| 4 | 表示装置 |
| 11 | 第1のスルーホール |
| 12 | 第2のスルーホール |
| 13 | 第1の分枝配線 |
| 15 | 第2の分枝配線 |
| 16 | 第3の分枝配線 |
| 17 | 第4の分枝配線 |

30 17

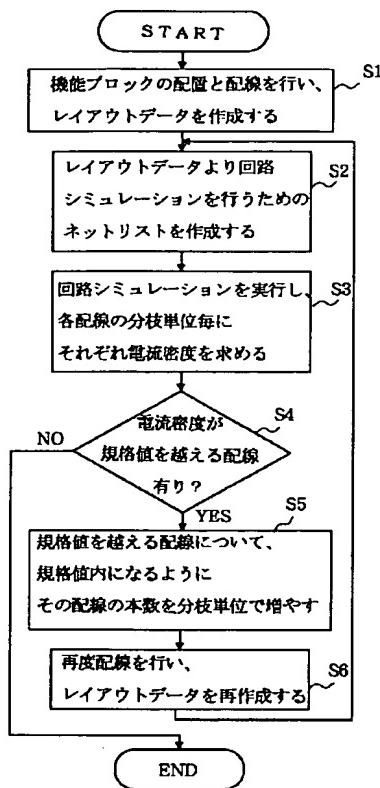
【図2】



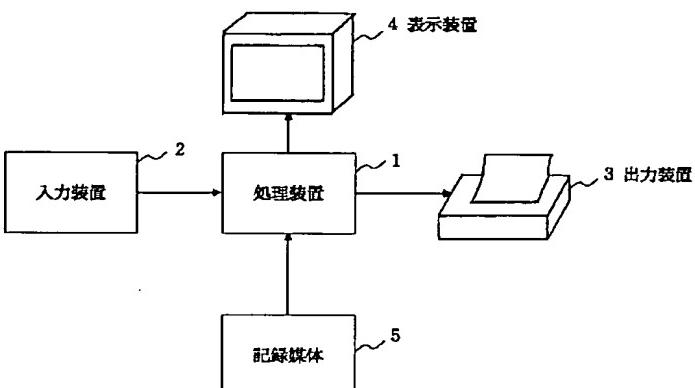
【図3】



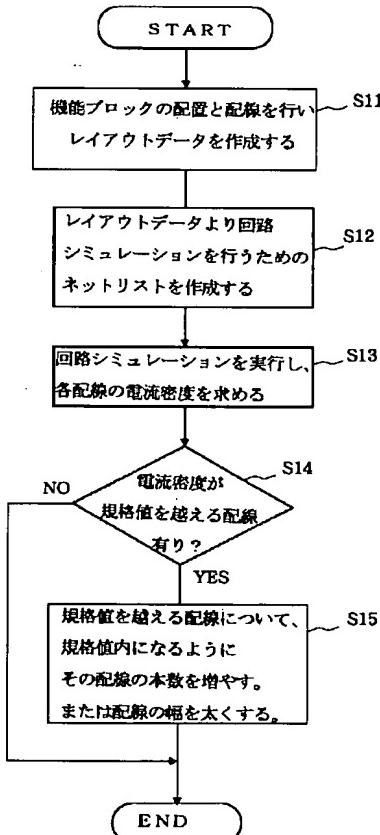
【図1】



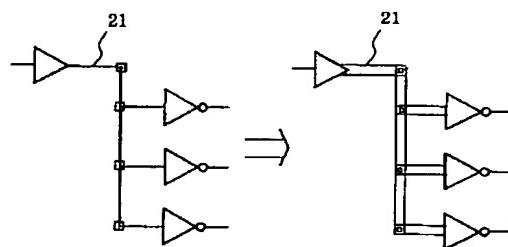
【図4】



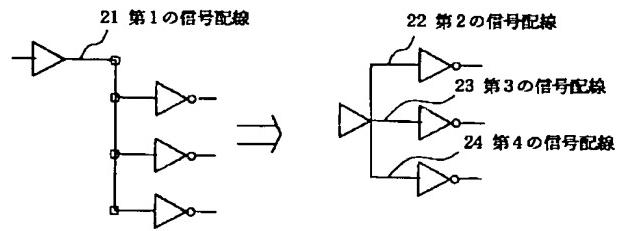
【図5】



【図7】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.